

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平9-512966

(43) 公表日 平成9年(1997)12月22日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	
H 0 3 L 7/00		9182-5 J	H 0 3 L 7/00	D
G 0 1 R 31/28		9509-2 G	G 0 1 R 31/28	P

審査請求 未請求 予備審査請求 有 (全 41 頁)

(21) 出願番号 特願平7-521366  
 (86) (22) 出願日 平成7年(1995)2月9日  
 (85) 翻訳文提出日 平成8年(1996)8月15日  
 (86) 国際出願番号 PCT/US95/01726  
 (87) 国際公開番号 WO95/22206  
 (87) 国際公開日 平成7年(1995)8月17日  
 (31) 優先権主張番号 08/196, 583  
 (32) 優先日 1994年2月15日  
 (33) 優先権主張国 米国 (US)

(71) 出願人 ランバス・インコーポレーテッド  
 アメリカ合衆国 94040 カリフォルニア  
 州・マウンテンビュー・レイザム ストリ  
 ート・2465  
 (72) 発明者 リー, トーマス・エイチ  
 アメリカ合衆国 95014 カリフォルニア  
 州・カバチーノ・バブ ロード・939  
 (72) 発明者 ドネリー, ケビン・エス  
 アメリカ合衆国 94131 カリフォルニア  
 州・サンフランシスコ・ノア・1671  
 (74) 代理人 弁理士 山川 政樹 (外5名)

最終頁に続く

(54) 【発明の名称】 遅延ロック・ループ

## (57) 【要約】

位相検出器がDLLの出力の位相を基準入力の位相と比較する遅延ロック・ループ (DLL) について説明する。位相比較器の出力は、位相比較器出力信号を経時的に積分するように機能する差動チャージ・ポンプを駆動する。チャージ・ポンプ出力は、位相比較器の出力が平均で50%の時間だけハイになるようにDLL出力の位相を調整する無限範囲を有するフェーズ・シフタを制御する。DLLが、位相検出器の出力が平均で50%の時間だけハイになるまでフェーズ・シフタを調整するので、DLL出力クロックの入力基準クロックとの関係は、使用される位相検出器のタイプにしか依存しない。たとえば、データ受信機をDLL中の位相検出器として使用するとき、DLLの出力はクロック信号であり、システム中の他の位置にあるデータ受信機に対するサンプリング・クロックとして使用することができ、温度、供給電圧、プロセス変動とは独立に任意選択の瞬間にデータをサンプリングするように調整される。代わりに、直交位相検出器を使用して、基準クロック信号入力に対する直交関係90°を有するクロック信号を生成すること

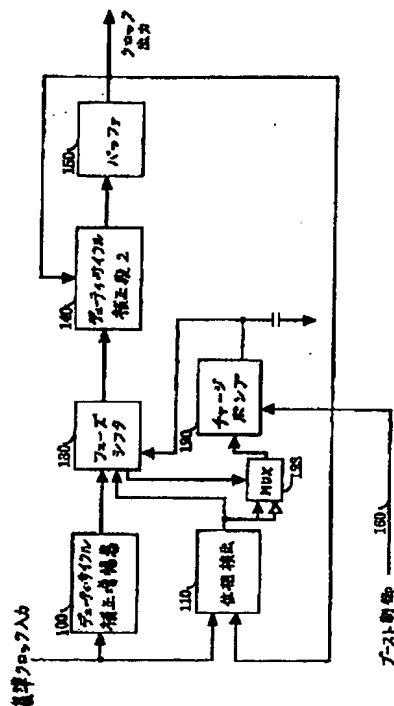


Figure 2

**【特許請求の範囲】**

1. 入力信号との所定のタイミング関係で出力信号を生成する回路であって

、  
前記入力信号を受けるように結合され、その入力信号のデューティ・サイクルを所定のデューティ・サイクルに補正してデューティ・サイクル補正済み入力信号を生成するデューティ・サイクル補正増幅器と、

前記入力信号と前記出力信号を受けるように結合され、出力信号の位相が入力信号の位相よりも進んでいるか、遅れているかを示す出力信号を生成する位相検出器と、

位相検出器の出力を受けるように結合され、出力電流を生成するチャージ・ポンプと、

デューティ・サイクル補正済み入力信号、位相検出器からの出力信号、チャージ・ポンプからの出力電流を受けるように結合され、デューティ・サイクル補正済み入力信号の移相を位相検出器によって示される移相方向へ実行して出力信号を生成し、チャージ・ポンプの出力電流によって駆動されるフェーズ・シフタとを備え、

位相検出器の出力が平均して時間の50%だけ最初の状態の信号となるように、出力信号の位相が入力信号の位相の周りでディザすることを特徴とする回路。

2. 入力信号との所定のタイミング関係で出力信号を生成する回路であって

、  
前記入力信号と前記出力信号を受けるように結合され、その出力信号の位相が入力信号の位相よりも進んでいるか、それとも遅れているかを示す出力信号を生成する位相検出器と、

前記位相検出器の出力を受けるように結合され、出力電流を生成するチャージ・ポンプと、

チャージ・ポンプに結合され、回路が入力信号と出力信号との間の所望のタイミング関係を得るように機能する獲得モードであることを示すととともに、回路がその獲得モードであることを示す第1の状態であるときに、前記チャージ・ポンプがより大きな出力電流を生成するブースト制御信号と、

入力信号、位相検出器からの出力信号、チャージ・ポンプからの出力電流を受

けるように結合され、入力信号の移相を位相検出器によって示される移相方向へ実行して出力信号を生成し、チャージ・ポンプの出力電流によって駆動されるフェーズ・シフタとを備え、

回路が獲得モードであるときにはチャージ・ポンプによって出力される電流を増加させ、回路が獲得モードでないときには電流出力をより低いレベルに維持することによって、回路中のジッタが最小限に抑えられることを特徴とする回路。

3. 入力信号との所定のタイミング関係を有する出力信号を生成する方法であって、

前記入力信号のデューティ・サイクルを所定のデューティ・サイクルに補正してデューティ・サイクル補正済み入力信号を生成するステップと、

出力信号の位相が前記入力信号の位相よりも進んでいるか、それとも遅れているかを示す位相出力信号を生成するステップと、

電流を生成するステップと、

その電流によって駆動され、デューティ・サイクル補正済み入力信号の移相を位相検出器によって示される移相方向へ実行して前記出力信号を生成するステップと、

出力信号の位相が、位相検出器の出力が平均で時間の50%だけ最初の状態の信号となるように入力信号の位相の周りでディザすることを特徴とする方法。

**【発明の詳細な説明】****遅延ロック・ループ****発明の背景****1. 発明の分野**

本発明は、クロック信号などの周期信号を生成する回路に関する。詳細には、本発明は遅延ロック・ループに関する。

**2. 技術の背景**

多数の高速電気システムは、何らかの基準信号に対する厳密な時間関係を有する周期クロック波形を生成する必要がある重大なタイミング要件を有する。従来、電圧制御発振器（VCO）を使用するフェーズ・ロック・ループ（PLL）を使用して、所望のクロック信号を与えている。PLLの例を第1a図に示す。しかし、VCOベースのPLLは、いくつかの望ましくない特性を有する。たとえば、PLLを介した信号の複数回の反復を必要とする所望のタイミング関係を獲得するには、VCOを正しい周波数にドライブするのに必要な時間のために時間がかかることが多い（典型的には、数百～数千クロック・サイクル）。さらに、十分な電源拒否特性を有するVCOを設計することは、特に回路をCMOSで実施する際には困難である。なぜなら、電力を節約するために、そのような回路で使用される電源電圧がますます低い値で設計されているからである。代替PLL回路は、入力基準信号から所望の遅延の後に出力信号を生成する遅延ロック・ループ（DLL）である。第1b図にブロック図を示す。

**発明の概要**

したがって、本発明の目的は、電圧制御発振器（VCO）を不要にし、電源誘導ジッタを急速に得てそれを最小限に抑える遅延ロック・ループを提供することである。他の目的は、移相範囲を制限されないDLLを提供することである。

本発明の回路では、位相検出器は、遅延ロック・ループ（DLL）の出力の位相を基準入力の位相と比較する。位相比較器の出力は、DLLの出力信号が基準入力信号よりも進んでいるか、それとも遅れているかを示し、位相比較器出力信号を経時的に積分するように機能する差動チャージ・ポンプを駆動する2進信号

である。チャージ・ポンプ出力は、位相比較器の出力が平均で50%の時間だけある状態、たとえばハイ状態になるようにDLL出力の位相を調整するフェーズ・シフタを制御する。位相検出器出力が平均で50%の時間だけある状態になるまでDLLがフェーズ・シフタを調整するので、DLLの出力は、温度、供給電圧、プロセスとは独立に、基準クロック入力に対する所望の時間関係を有する信号である。たとえば、一実施形態では、DLLを使用して、システム中の他の位置にあるデータ受信機に対するサンプリング・クロックを生成することができる。そのような場合、複製データ受信機が位相検出器として使用される。代替実施形態では、直交位相検出器を使用して、基準クロック入力に直交する出力クロックが生成される。これを使用して、出力信号を送るのに必要なタイミングを生成することができる。

本発明のDLLの一実施形態では、着信クロック信号は、入力デューティ・サイクルとは独立に50%デューティ・サイクルを有する出力クロック波形を生成するデューティ・サイクル・コレクタを介してまず処理される。デューティ・サイクル補正済み信号は次いで、フェーズ・シフタに入力される。任意選択で、第2のデューティ・サイクル・コレクタを使用して、フェーズ・シフタの出力信号を処理し、フェーズ・シフタまたはその後続くバッファ増幅器、あるいはその両方のために発生するデューティ・サイクルひずみを補償することができる。この実施形態はさらに、範囲を制限されないフェーズ・シフタを含む。

この実施形態は好ましくは、ジッタを最小限に抑える回路も含む。たとえば、回路中のチャージ・ポンプへの電流を増加させることは、獲得時間を短縮する1つの方法である。しかし、電流が増加するにつれて、生成されるジッタの量も増加する。余分のジッタを発生させずに獲得時間を短縮するために、DLLは、ブーストされたチャージ・ポンプ電流を選択的に生成する回路を含む。ブーストされたチャージ・ポンプ電流が生成されるのは、信号が基準に同期する獲得プロセ

ス中だけである。獲得プロセスではないときには、生成されるジッタの量を減少させるために、電流を、ブーストされた量よりも少なくする。制御信号は、獲得の始めと終わりを知らせるために使用され、したがって、チャージ・ポンプへの

電流入力の量を制御する。したがって、プロセスの非獲得フェーズ中には、電流が減少し、それによってジッタが最小限に抑えられる。

#### 図面の簡単な説明

本発明の目的、特徴および利点は、以下の詳細な説明を読めば、当業者には明らかとなる。

第1 a 図は、従来技術のフェーズ・ロック・ループを示す図である。

第1 b 図は、従来技術の遅延ロック・ループを示す図である。

第2 図は、本発明の遅延ロック・ループの一実施形態を示す図である。

第3 a 図および第3 b 図は、本発明の遅延ロック・ループの実施形態で 사용되는直交位相検出器の実施形態を示す図である。

第4 図は、本発明の遅延ロック・ループの一実施形態で 사용되는デューティ・サイクル補正増幅器の一実施形態を示す図である。

第5 a 図、第5 b 図および第5 c 図は、本発明の遅延ロック・ループの一実施形態で 사용되는フェーズ・シフタの一実施形態を示す図である。

第6 a 図および第6 b 図は、本発明の遅延ロック・ループの一実施形態で 사용되는チャージ・ポンプの一実施形態を示す図である。

第7 a 図および第7 b 図は、データ受信機で 사용되는補償位相検出器を有する本発明の遅延ロック・ループを示す図である。

第8 図は、位相検出器、ディジタル・フィルタ、ディジタル・アナログ変換器によって、代替獲得基準を使用して差動チャージ・ポンプを制御する差動チャージ・ポンプへの制御電圧が生成される本発明の遅延ロック・ループの代替実施形態のブロック図である。

#### 詳細な説明

下記の説明では、説明上、本発明を完全に理解して頂くために多数の詳細を記載する。しかし、当業者には、本発明を実施するうえでこのような特定の詳細が必要とされないことが明らかになる。他の例では、本発明を不必要にあいまいにしないように周知の電気構造および回路がブロック図形で示されている。

本発明の遅延ロック・ループ(DLL)は、連続的に調整する移相をもたらす

移相要素を使用するDLLを提供する。さらに、本発明のDLLは、最小のジッタで高速に獲得する優れたジッタ特性を有する。

DLLの一実施形態の簡略化されたブロック図を第2図に示す。クロック信号などの基準信号は、デューティ・サイクル補正増幅器100および位相検出器110に入力される。位相検出器110は、遅延ロック・ループの出力信号の位相と基準信号入力の位相を比較する。基準信号入力は、DLLを使用して補正すべき信号を表す。好ましくは、位相検出器110は位相比較器であり、位相検出器の出力は、フィードバック・クロック入力、すなわちDLLの出力の位相が基準クロック入力の位相よりも進んでいる場合にはハイであり、フィードバック・クロック入力基準クロック入力よりも遅れている場合にはローである2進信号である。代わりに、位相検出器は、フィードバック・クロック入力の位相が基準クロック入力の位相よりも進んでいる場合にはロー出力を生成し、フィードバック・クロック入力基準クロック入力よりも遅れている場合にはハイ出力を生成するように構成することができる。位相検出器の出力は、位相比較器出力信号を経時的に積分するように機能するチャージ・ポンプ120、好ましくは差動チャージ・ポンプを駆動する。チャージ・ポンプ120の出力は、フェーズ・シフタ130を制御する。フェーズ・シフタ130は、位相比較器の出力が平均で50%の時間だけハイになるように、デューティ・サイクル補正増幅器100に入力された基準信号の位相を調整する。DLLは、入力信号を遅延させることによって出力信号を生成する。基準信号とDLLの出力信号との間で検出される位相差が、50%の時間だけ進みとなり、50%の時間だけ遅れとなり、出力信号と基準入力信号との間の所望のタイミング関係に対応する平均位相関係がもたらされるように、出力信号は所望の関係に対して進み、かつ遅れる。

しかし、入力クロック信号を遅延させることによって出力信号を生成することにより、入力クロック信号は、DLLの性能に悪影響を及ぼす恐れがある。具体

的には、基準に対する入力信号のデューティ・サイクルの変動、たとえば50%デューティ・サイクルは、DLLの性能に影響を与える。これに対して、従来型のPLLは主として、着信信号のデューティ・サイクルの影響を受けない。この

問題を最小限に抑えるためにデューティ・サイクル補正増幅器100を使用する。デューティ・サイクル補正増幅器100は、入力信号を受け取り、入力信号デューティ・サイクルとは独立に50%デューティ・サイクルを有する出力信号を生成する。デューティ・サイクル補正増幅器100の出力はフェーズ・シフタ130に入力される。任意選択で、第2のデューティ・サイクル補正増幅器140を使用して、フェーズ・シフタまたはその後続くバッファ増幅器150のために生じる信号に対するデューティ・サイクルひずみを補償することができる。バッファ増幅器150は、信号を、回路の信号出力として機能するフル・レールに復元する。

本発明のDLLは比例制御を使用せず、すなわち位相検出器の出力は位相誤りの程度には比例しない。その代わり、DLLは、DLL出力信号の位相が実際に所望の値の周りでディザするように構築される。ディザは一種のジッタなので、たとえば、チャージ・ポンプ電流と積分容量の適当な小さな比を選択することによってクロック・サイクル当たりの位相補正の量が十分に小さくなるように選択することにより、ジッタを最小限に抑えることが望ましい。残念なことに、使用される電流が少なくなればなるほど、獲得時間、すなわちDLL出力信号と基準信号との間の所望の関係を得るのに必要な時間が長くなるので、ジッタを最小限に抑えても、獲得時間は最小限にはならない。

したがって、過度のディザ・ジッタを発生させずに獲得時間を短縮するには、DLLが獲得時にチャージ・ポンプ電流をブーストする回路を含むことが好ましい。獲得時にチャージ・ポンプ電流をブーストすることによって、獲得速度が増加する。しかし、獲得時ではないときに電流を最小値に維持することによって、生成されるジッタの量は最小限に抑えられる。獲得時にチャージ・ポンプ電流をブーストするには、ブースト制御信号160を使用して、獲得モードの始めおよび終わりを知らせ、それによって、獲得モード時にはチャージ・ポンプ電流を増加させ、獲得モードでないときにはチャージ・ポンプ電流を減少させ、それによ

ってディザ・ジッタを最小限に抑える。代わりに、獲得速度を最大にすることは、第2図に示した外部制御信号ではなくDLL回路自体によって制御することが



できる。たとえば、DLL回路は、基準クロックからの逸脱が所定の値よりも大きくなったどうか、すなわち、チャージ・ポンプ電流を増加させて獲得速度を増加させるべきかどうかを判定する論理機構を含むことができる。所望のタイミング関係が達成されると、論理機構はチャージ・ポンプ回路を低ジッタ値に戻す。

前述のように、位相検出器は、入力信号とDLLから出力された信号との間の位相差を判定するように機能する。一実施形態では、使用される位相検出器は直交位相検出器であり、DLLに、入力信号に直交する（ $90^\circ$  移相を有する）出力信号を生成させる。例示的な移送検出器を第3a図および第3b図に示す。

第3a図は、直交位相関係にありそれぞれの異なる電圧スイング特性を有する2つの入力信号間の直交位相誤りを検出する直交位相検出器10の一実施形態を示す。第3b図は、寄生容量によって誘発される位相検出誤りを最小限に抑える直交位相検出器40の代替実施形態を示す。

第3a図を参照すると分かるように、位相検出器10は、トランジスタ11-14および19-21を含む。一実施形態では、トランジスタ11-14および19-21はMOSFETであり、CMOS構成のものである。他の実施形態では、トランジスタ11-14および19-21は、NチャネルMOSFETトランジスタでも、PチャネルMOSFETトランジスタでもよい。代替実施形態では、バイポーラ・トランジスタなど他のデバイスを使用することができる。

図のように、トランジスタ11-14はPチャネル・トランジスタであり、電源電圧 $V_{DD}$ とノード15および16との間に電流源トランジスタとして接続されている。代わりに、トランジスタ11-14は、Nチャネル・トランジスタでも、バイポーラ・トランジスタでもよい。

トランジスタ11-14は共に、位相検出器10の負荷を構成する。トランジスタ11-14は、ノード15とノード16との間の高差動インピーダンスと、電源 $V_{DD}$ からノード15-16への低コモン・モード抵抗をもたらす。ダイオード接続されたトランジスタ11-12は、電源 $V_{DD}$ とノード15-16との間の低コモン・モード抵抗として働く。トランジスタ11-12は、ノード15とノ

ード16との間の正の差動負荷抵抗も構成する。トランジスタ13-14は、ノ

ード15とノード16との間の負の差動負荷抵抗を構成する。負の差動負荷抵抗は、正の差動負荷抵抗を打ち消す。その結果、トランジスタ11-14は共に、ノード15とノード16との間に高差動負荷抵抗をもたらす。トランジスタ11-14の接続について下記で説明する。

代わりに、位相検出器10中の電源 $V_{DD}$ とノード15-16との間に他のタイプの負荷回路を使用することができる。トランジスタ11-14で形成される負荷は、任意の他の種類の高差動インピーダンス負荷回路であってもよい。

トランジスタ11-14のドレインはノード15に接続され、トランジスタ12および13のドレインはノード16に接続される。各トランジスタ11-12のゲートはそのドレインに結合される。また、トランジスタ13のゲートはトランジスタ11のゲートに接続され、トランジスタ14のゲートはトランジスタ12のゲートに接続される。トランジスタ11のゲートとトランジスタ13のゲートが接続され、トランジスタ12のゲートとトランジスタ14のゲートが接続されるので、トランジスタ13はトランジスタ11中の電流をミラーし、トランジスタ14はトランジスタ12中の電流をミラーする。言い換えれば、トランジスタ11とトランジスタ13は電流ミラーを構成し、トランジスタ12とトランジスタ14は別の電流ミラーを構成する。トランジスタ11内を流れる電流をノード16にミラーし、トランジスタ12内を流れる電流をノード15にミラーすることによって、各ノード15-16はほぼ同じ量の電流を受け取り、差動電流は生成されない。したがって、トランジスタ13-14によって生成される負の差動負荷抵抗がトランジスタ11-12によって生成される正の差動負荷抵抗を打ち消すので、トランジスタ11-14は高差動負荷抵抗をもたらす。一実施形態では、トランジスタ13-14によって生成される負の差動負荷抵抗がトランジスタ11-12によって生成される正の差動負荷抵抗を打ち消すように、トランジスタ11-14の寸法はほぼ同じである。

ノード15-16は、位相検出器10の出力を形成する。グラウンドとノード15との間にキャパシタ17が接続され、ノード16とグラウンドにキャパシタ18が接続される。一実施形態では、キャパシタ17とキャパシタ18はほぼ等

しい容量を有する。図のように、キャパシタ17および18はそれぞれ、ノード15-16でのトランジスタ11-14の寄生容量を含む。代わりに、キャパシタ17および18はそれぞれ、ノード15-16でのトランジスタ11-14の寄生容量を含まないようにすることもできる。

ノード15はさらに、トランジスタ19のドレインに接続され、ノード16はさらに、トランジスタ20のドレインに接続される。トランジスタ19-20のソースはノード23に接続される。ノード23は次いで、トランジスタ21のドレインに接続される。トランジスタ21のソースは、電流源24を介してグラウンドに接続される。トランジスタ19のゲートは入力信号 $V_{IN2}$ を受ける。トランジスタ20のゲートは入力信号 $V_{REF}$ を受ける。トランジスタ21のゲートは入力信号 $V_{IN1}$ を受ける。トランジスタ19-21はNチャネル・トランジスタである。代わりに、トランジスタ19-21はPチャネル・トランジスタでも、あるいはバイポーラ・トランジスタでもよい。一実施形態では、トランジスタ19は、トランジスタ20の寸法にほぼ等しい寸法を有する。

この議論では、 $V_{IN1}$ 信号は全CMOS電圧スイングを有する。 $V_{IN2}$ 信号は、 $V_{IN1}$ と直交位相関係にあり、 $V_{REF}$ 基準電圧（すなわち、定DC基準電圧）の周りでほぼ対称的に振動する小さな電圧スイング信号である。したがって、 $V_{IN2}$ 信号を準差動信号と呼ぶ。したがって、 $V_{IN2}$ 信号と $V_{REF}$ 信号は相補的なものではないことが分かる。

代わりに、 $V_{IN2}$ 信号は小スイング全差動信号であり、 $V_{high}$ 電圧と $V_{low}$ 電圧との間でスイングする。この場合、 $V_{REF}$ 信号は $V_{IN2}$ 信号を補う。言い換えれば、トランジスタ19のゲートが $V_{high}$ 電圧を受けると、トランジスタ20のゲートは $V_{low}$ 電圧を受ける。

トランジスタ19-21は、 $V_{IN1}$ 入力信号および $V_{IN2}$ 入力信号の直交位相誤りを検出する。 $V_{IN1}$ 信号と $V_{IN2}$ 信号を直交位相関係にすることが望ましい。直交位相誤りが発生する（すなわち、所望の直交位相関係が達成されなかった）と、位相検出器10は、各測定サイクルの終わりにノード15-16の間の正味差動電圧（すなわち、出力 $V_{OUT}$ ）を生成することによってこの条件を検出する。ノード15-16の間の正味差動電圧の電圧レベルは、 $V_{IN1}$ 入力信号と $V_{IN2}$

入力信号との間の直交位相誤りの量の関数である。位相検出器10は、直交位相誤りを検出しなかった場合は、検出サイクルの終わりにノード15-16の間の正味差動電圧を生成しない。

位相検出器10は、ノード15とノード16との間に結合されたトランジスタ22も含む。トランジスタ22はNチャネルMOSFETトランジスタである。代わりに、トランジスタ22はPチャネルMOSFETトランジスタでも、あるいはバイポーラ・トランジスタでもよい。トランジスタ22は、位相検出器10内で等化トランジスタとして使用される。トランジスタ22は、測定サイクルが開始される前にトランジスタ22自体が導電したときにノード15-16の間の電圧差動を零にする。トランジスタ22は、 $V_{EQ}$ 信号によってオンまたはオフに切り替えられる。 $V_{EQ}$ 信号によってトランジスタ22がオン操作されると、ノード15とノード16がトランジスタ22を介して接続され、ノード15-16での電圧が等化される。好ましくは、 $V_{EQ}$ 信号は周期信号であり、 $V_{IN1}$ 信号のあらゆるパルスの前に発生する。 $V_{EQ}$ 信号は、検出サイクルを開始するためにノード15-16の間の電圧を等化するのを助ける。代わりに、 $V_{EQ}$ 信号のパルス・サイクルは、 $V_{IN1}$ 信号のパルスが $N-1$ 個発生するたびに発生する。

次に、位相検出器10の動作について説明する。トランジスタ21は、 $V_{IN1}$ 信号が高 $V_{DD}$ 電圧であるときに電流 $I$ をノード23から電流源24に接続する。トランジスタ21は、電流源24に接続されているので、導電時には、電流 $I$ の量しか流さない。 $V_{IN1}$ 信号は、各検出サイクルの始めを制御する。 $V_{IN1}$ 信号の電圧レベルが $V_{DD}$ 電圧に上昇したときには必ず、検出サイクルが開始される。

$V_{IN2}$ の電圧レベルが $V_{REF}$ 電圧の電圧レベルよりも高く、 $V_{IN1}$ 信号が $V_{DD}$ 電圧であるとき（たとえば、時間 $t_1$ から時間 $t_2$ まで）、トランジスタ19はトランジスタ20よりも多くの電流を導電する。したがって、トランジスタ19はほぼすべての $I$ 電流をノード23に与える。ノード15および16はそれぞれ、トランジスタ11-14で形成された負荷素子からほぼ同じ量の電流を受けるので、トランジスタ19とトランジスタ20が同じ量の電流をノード23に流していない場合、キャパシタ17はキャパシタ18とは異なるように荷電される。この

場合、キャパシタ18は、キャパシタ17が放電している間に充電することが

間に差動電圧が生成され、したがって位相検出器10の出力 $V_{OUT}$ で差動電圧が生成される。出力 $V_{OUT}$ での差動電圧は、 $V_{IN2}$ 信号の電圧が $V_{REF}$ 基準電圧よりも高い時間中、線形に増大する。

$V_{IN2}$ 信号の電圧レベルが $V_{REF}$ 電圧の電圧レベルよりも低く、 $V_{IN1}$ 信号が $V_D$ 電圧であるとき（たとえば、時間 $t_2$ から時間 $t_3$ まで）、トランジスタ20はほぼすべてのI電流をノード23に与える。このため、キャパシタ17-18は不均一に充電される。この場合、キャパシタ17は、キャパシタ18が放電している間に充電することができる。このため、位相検出器10の出力 $V_{OUT}$ での差動電力が線形に低下する。

$V_{IN1}$ 信号の電圧レベルがグラウンドになると、出力 $V_{OUT}$ での差動電圧は変化を止める。 $V_{IN1}$ 信号と $V_{IN2}$ 信号が完全に直交する場合、ノード15-16の間の差動電圧は、線形に零に近づき、 $V_{IN1}$ 信号がグラウンドになったときには位相検出器10の $V_{OUT}$ 出力では正味差動電圧は生成されない。しかし、 $V_{IN1}$ 信号と $V_{IN2}$ 信号との間に直交位相誤りが存在する場合、位相検出サイクルの終わりにノード15-16の間に正味差動電圧が生成される。ノード15-16の間の正味差動電圧は直交位相誤りの量にほぼ比例する。

好ましくは、位相検出器10の出力 $V_{OUT}$ を比較器39に接続して、2進直交位相誤り出力が生成される。他の回路を使用して2進直交位相誤り出力を生成することもできる。

しかし、位相検出器10の直交位相誤り検出に関する上記の説明では、ノード23でのトランジスタ19-21の寄生容量25（ならびに回路中の他の容量）の影響が無視される望ましい状況が仮定されている。トランジスタ21はスイッチとして使用されるので、寄生キャパシタ25は、トランジスタ21のソースとグラウンドとの間の寄生容量を含む。

位相検出器10の回路には寄生キャパシタ25が存在するので、位相検出器10は、 $V_{IN1}$ 信号と $V_{IN2}$ 信号が完全な直交関係にあるときでも検出サイクルの終わりに回路の出力 $V_{OUT}$ で正味差動電圧を生成する。

第3b図に示した実施形態は、寄生容量のために回路の出力で発生する正味差動電圧をなくする。第3b図を参照すると分かるように、位相検出器40は、電

源 $V_{DD}$ とノード45および46との間に接続されたトランジスタ41-44を含む。位相検出器40中のトランジスタ41-44の接続および機能は、第3a図の位相検出器10のトランジスタ11-14の接続および機能と同じである。

ノード45はキャパシタ47に接続され、キャパシタ48はノード46に接続される。キャパシタ48の容量はキャパシタ47の容量にほぼ等しい。ノード45-46は次いで、トランジスタ49-51で形成された第1の回路と、トランジスタ52-54で形成された第2の回路に接続される。トランジスタ51および54は次いで回路60に接続される。第3b図から分かるように、回路60は基本的に、トランジスタ51を通して第1の電流 $I_1$ を与える第1の電流源と、トランジスタ54を通して第2の電流 $I_2$ を与える第2の電流源とを含む。 $I_1$ 電流と $I_2$ 電流は共に、 $I_{BIAS}$ 電流によって生成され収集される。

回路60は $I_1$ 電流および $I_2$ 電流を生成する。 $I_2$ 電流の値は、 $I_1$ 電流の値よりも小さい。一実施形態では、 $I_2$ 電流の値は、 $I_1$ 電流の20%-30%の範囲である。代替実施形態では、 $I_2$ 電流の値は、 $I_1$ 電流の20%-30%より大きくても、あるいは小さくてもよい。

一実施形態では、トランジスタ49-51および52-54はNチャネルMOSFETトランジスタである。代替実施形態では、トランジスタ49-51および52-54は、PチャネルMOSFETトランジスタでも、バイポーラ・トランジスタでもよい。一実施形態では、各トランジスタ52-53の寸法は各トランジスタ49-50の寸法にほぼ等しく、トランジスタ54の寸法はトランジスタ51の寸法にほぼ等しい。

トランジスタ49は、ノード45およびノード55に接続される。トランジスタ50は、ノード46および55に接続される。トランジスタ51は、回路60で形成された電流源 $I_1$ を介してノード55をグラウンドに接続する。同様に、トランジスタ52はノード46およびノード56に接続される。トランジスタ53は、ノード45および56に接続される。トランジスタ54は、回路60で形

成された電流源  $I_2$  を介してノード56をグラウンドに接続する。トランジスタ51および54のそれぞれのゲートは  $V_{IN1}$  信号を受ける。トランジスタ49および52のそれぞれのゲートは  $V_{IN2}$  信号を受け取り、トランジスタ50および

53のそれぞれのゲートは  $V_{REF}$  信号を受ける。。

寄生キャパシタ57は、ノード55およびグラウンドに接続され、寄生キャパシタ58は、ノード56およびグラウンドに接続される。寄生キャパシタ57は、ノード55でのトランジスタ49-51の寄生容量を含み、寄生キャパシタ58は、ノード56でのトランジスタ52-54の寄生容量を含む。寄生キャパシタ57は回路中の他の寄生容量も含む。トランジスタ51はスイッチとして使用されるので、寄生キャパシタ57は、トランジスタ51のソースとグラウンドとの間の寄生容量を含む。同様に、寄生キャパシタ58は回路中の他の寄生容量も含む。トランジスタ54はスイッチとして使用されるので、寄生キャパシタ58はトランジスタ54のソースとグラウンドとの間の寄生容量を含む。

トランジスタ49-51は、 $V_{IN1}$  信号および  $V_{IN2}$  信号の位相誤りを検出する。トランジスタ52-54は、回路中の寄生キャパシタ57のための位相検出器40の出力  $V_{OUT}$  での正味差動電圧を打ち消す。前述のように、各トランジスタ52-53は、各トランジスタ49-50の寸法にほぼ等しい寸法を有する。したがって、寄生キャパシタ58の容量は、寄生キャパシタ57の容量にほぼ等しい。トランジスタ52-54の負の取り消し効果のために、寄生キャパシタ57-58のために回路で生成される追加誤り電流は互いに取り消し合い、位相検出器40は、回路の寄生容量のために回路の出力  $V_{OUT}$  で生成される正味差動電圧を経験しない。寄生キャパシタ57-58の容量がほぼ等しいので、寄生キャパシタ57-58に関連する追加誤り電流もほぼ等しい。しかし、トランジスタ49-50および52-53は、それぞれの寄与が互いに減じ合うように交差接続されている。このため、追加誤り電流は互いに取り消し合う。このため、位相検出器40は、 $V_{IN1}$  信号および  $V_{IN2}$  信号の直交位相誤りを最小限の位相検出誤りで検出する。

次に、動作について説明する。論理ハイ  $V_{IN1}$  信号によってトランジスタ51

がオン操作されたとき、ノード55での電圧レベルはただちには変化せず、そのため、トランジスタ51内を流れる電流が電流 $I_1$ を超え、追加誤り電流が生成される。この時点では、 $V_{IN2}$ 信号の電圧レベルが $V_{REF}$ 電圧よりも高いので、この追加誤り電流がトランジスタ49内を流れ、そのため、キャパシタ47が追

加放電する。その間、論理ハイ $V_{IN1}$ 信号によってトランジスタ54もオン操作されるので、ノード56での電圧レベルはただちには変化せず、トランジスタ54内を流れる追加誤り電流も生成される。この時点では、 $V_{IN2}$ 信号の電圧レベルが $V_{REF}$ 電圧よりも高いので、追加誤り電流がトランジスタ52内を流れ、そのため、キャパシタ48が追加放電する。寄生キャパシタ57の容量は寄生キャパシタ58の容量に等しいので、トランジスタ52内を流れる追加誤り電流は、トランジスタ49内の追加誤り電流にほぼ等しい。トランジスタ52がノード46に接続され、これに対してトランジスタ49がノード45に接続される場合、トランジスタ52によって生成される追加誤り電流は、トランジスタ49によって生成される追加誤り電流を打ち消す。

$V_{IN2}$ 信号の電圧レベルが $V_{REF}$ 電圧の電圧レベルよりも低いとき、トランジスタ49が導電する電流の量はトランジスタ50が導電する電流の量よりもずっと少なく、トランジスタ52が導電する電流の量はトランジスタ53が導電する電流の量よりもずっと少ない。この時点で、ノード55および56のそれぞれでの電圧レベルは低下する。これによって、寄生キャパシタ57および58が放電し、トランジスタ50および53内を流れる電流がそれぞれ、減少する。これによって、追加誤り電流がトランジスタ50を通してキャパシタ48へ流れ、トランジスタ53を通してキャパシタ47へも流れ、キャパシタ47および48がそれぞれ追加充電される。トランジスタ50がノード46に接続され、トランジスタ53がノード45に接続され、トランジスタ50中の追加誤り電流とトランジスタ53中の追加誤り電流がほぼ等しい場合、キャパシタ47および48のそれぞれへの追加充電は互いに打ち消し合う。

また、寄生キャパシタ57および58のために、 $V_{IN1}$ 信号によってトランジスタ51および54がオフ操作された直後にはノード55および56のそれぞれ



での電圧レベルは変化せず、そのため、追加誤り電流がトランジスタ50を通して寄生キャパシタ51へ流れ、トランジスタ53を通して寄生キャパシタ58へも流れる。追加誤り電流によって、キャパシタ47および48がそれぞれ追加放電する。寄生キャパシタ57の容量は寄生キャパシタ58の容量にほぼ等しいので、トランジスタ50内を流れる追加誤り電流はトランジスタ53内を流れる追

加誤り電流にほぼ等しい。トランジスタ50がノード46に接続され、トランジスタ53がノード45に接続される場合、追加誤り電流は互いに打ち消し合う。そうすることによって、出力 $V_{OUT}$ では寄生キャパシタ58のための正味差動電圧が生成されず、位相検出器40は、 $V_{IN1}$ 信号および $V_{IN2}$ 信号の直交位相誤りを最小限の検出誤りで検出する。位相検出器40の $V_{OUT}$ 出力は比較器39に接続され、2進直交位相誤り出力が生成される。代わりに、他の回路を使用して2進直交位相誤り出力を生成することもできる。

デューティ・サイクル補正増幅器回路は、不完全なデューティ・サイクルを有する周期入力信号を受け取り、能動デューティ・サイクル補正を使用することによって補正済みデューティ・サイクルを含む周期出力信号を出力する。一実施形態では、この回路は、未補正周期入力信号を受け取り、未補正入力信号を反映する中間信号電流を生成する。この中間信号電流は、信号電流を相殺する補正電流と合計される。合計された電流は積分容量に入力される。積分キャパシタの間の電圧は、有限値にクランプされる。容量およびクランプ電圧は、キャパシタの間の電圧が入力信号の周期の大部分にわたってほぼ線形に変化する（すなわち、スルー限界）ように選択される。スルー制限クランプ電圧信号は次いで、ほぼ方形の波を出力として再生する増幅器を駆動する。補正電流の量を変更することによって、非線形ランプ入力（たとえば、かなり不均一の信号の立上りおよび立下り）を有する未補正入力信号を、線形入力を有するように修正することができ、再生された波形のデューティ・サイクルを、主として、スルー・プロセスによって支配される周期の一部の制約を受ける範囲にわたって変更することができる。

デューティ・サイクル補正増幅器の一実施形態を第4図に示す。増幅器は入力として、未補正入力信号 $IN_{1+} 110$ および $IN_{1-} 115$ ならびにエラー値 $e$

error+ 125、error- 120を受ける。エラー信号は、デューティ・サイクル誤りを測定するデューティ・サイクル誤り測定回路によって生成される。この回路の出力は補正済み差動クロック信号150、155である。この回路は、平行に接続された2つの演算トランスコンダクタンス増幅器(OTA)からなる。未補正クロック信号入力110、115はトランジスタ対M3、M4を駆動する。トランジスタM3およびM4の利得は、ほぼすべてのバイアス電流 $I_{BIAS}$

130が交互にトランジスタM3およびM4内を流れるように、入力信号の極性に依りて十分に高くされる。デューティ・サイクル誤り信号120、125は、デューティ・サイクル誤り測定回路によって生成され、トランジスタ対M1およびM2を駆動する。生成された出力電流は次いで、トランジスタM3およびM4によって生成された電流に追加される。インバータInv1およびInv2 160、165は好ましくは、理想的な無限利得インバータであり、所定のしきい値が交差されたときにインバータの出力が状態を変更し、したがって、方形波出力の形成を助ける。

OTAの出力は、トランジスタM8およびM10、ノード170の共通ドレーン接続と、トランジスタM5およびM9、ノード175の共通ドレーン接続である。好ましくは、バイアス電流 $I_{BIAS}$ 、 $I_{2BIA}$  130、140を共通ドレーン接続およびクランプ電圧(この実施形態では、クランプ電圧は電源電圧 $V_{DD}$ にほぼ等しい)に関連する容量と組み合わせて選択して所望のスルー制限特性を付与し、入力信号のデューティ・サイクルを補正する。代わりに、別の容量構成要素を使用して、積分容量機能を提供することができる。さらに、雑音やジッタ性能など、他の考慮すべき点のために、OTA出力170、175に接続されたより大きな動作電流または明示的な追加容量が必要になることがある。したがって次いで、OTA出力170、175に明示的な追加容量が接続され、必要なスルー制限特性が付与される。たとえば、ノード170、175とトランジスタM9およびM10のドレーン・ノードとの間にキャパシタを接続することができる。代わりに、ノード170とグラウンドとの間およびノード175とグラウンドとの間に別体のキャパシタ構成要素を接続することができる。

第5 a 図は、本発明の一実施形態のフェーズ・シフタを示す。このフェーズ・シフタは、位相混合を使用して無限位相調整範囲を与える。位相混合は、入力信号から導かれた位相差の2つの中間信号を混合することを含む。この実施形態では、中間信号は4つの直交中間信号であり、 $0^\circ$ 、 $90^\circ$ 、 $180^\circ$ 、 $270^\circ$ の相対位相アライメントを有する。出力信号は常に、4つの中間信号のうちの2つで境界付けされた位相平面の象限内に位置する位相を有する。位相混合は、出力信号の位相が重み関数によって配置される象限を境界付けする各中間信号を乗じ、結果を合計することによって行われる。

フェーズ・シフタ560は、遅延回路510と、位相補間器580と、フェーズ・セクタ562とを含む。遅延回路570は、位相混合プロセスで位相補間器580によって使用される4つの中間信号を信号回線575を介して出力する。この実施形態では、遅延回路は好ましくは、 $0^\circ$ 、 $90^\circ$ 、 $180^\circ$ 、 $270^\circ$ の相対位相アライメントを有する中間信号を出力する。遅延回路570および位相補間器580の結果として生じる固定遅延は、フィードバック・ループの構成要素であるフェーズ・シフタ560によって出力信号から除去される。

直交中間信号を与える1つの方法では、遅延回路は、中間信号の周波数が入力周波数の2分の1になるように入力信号に対して周波数分割演算を実行する必要がある。この方法を実施する場合、第5 c 図に示したように、XORゲート640と、位相補間器610の出力の位相に対して位相が $90^\circ$ だけずれた出力信号を有する第2の位相補間器620とを含むように第5 a 図のフェーズ・シフタを修正することができる。両方の位相補間器610、620の出力は、フェーズ・シフタの出力周波数が入力周波数に等しくなるように周波数を2倍にするように機能するXORゲート640への入力である。

位相補間器620は、信号回線615を介して直交中間信号を受ける。中間信号は位相混合され、信号回線635を介して受け取った差動制御電圧信号VCと、信号回線625を介してフェーズ・セクタ630から受け取った位相選択信号に応答して入力信号から得た所望の移相を有する出力信号が信号回線655で生成される。本発明はそのように制限されるものではないが、改良された電源雑

音拒否特性を得るには差動制御信号および回路が好ましい。フェーズ・セクタ630は、差動制御電圧信号VCと、位相検出器によって与えられ信号回線645を介して受け取られる2進位相勾配信号に応答して位相混合を行うために使用するべき、4つの中間信号のうちの2つを選択する。位相勾配信号は、フェーズ・シフタ600の移相を増加させなければならないか、それとも減少させなければならないかを示す。フェーズ・セクタ630からの制御信号回線637を使用して、各象限でチャージ・ポンプ120（第2図）のセンスを交互に反転させ、有限制御電圧範囲を移相に対応させる（ $\text{mod } 2\pi$ ）ことができる。

第5b図は、位相補間器の簡略化された一実施形態を示す。位相補間器は、差動nチャンネル電界効果トランジスタ（FET）対502および503を含む。差動制御電圧 $V_{C+}$ および $V_{C-}$ はそれぞれ、FET502および503のゲートに結合される。差動対502および503は、固定電流源504および505と共に、 $V_{C+}$ および $V_{C-}$ の制御の下で差動電流を分岐506および507に送る。図の実施形態では、504および505によって与えられる電流はそれぞれ、電流源501によって与えられる電流よりも少なく、そのため、有限差動（ $V_{C+} - V_{C-}$ ）によって分岐506でも、あるいは分岐507でも零電流をもたらすことができる。

差動制御電圧VCの値は、位相補間器の右半分および左半分内を送られる電流の量を決定する。分岐506中の電流は、電流源504から供給される電流とFET502のドレーン電流の差に等しい。同様に、分岐507中の電流は、電流源505から供給される電流と503のドレーン電流の差に等しい。VCが $V_{MAX}$ に等しいとき、FET502は $V_{C+}$ 差動制御電圧によって完全にオンに切り替えられ、そのため、FET502は電流源501からのほぼすべての電流を導電する。負の差動制御電圧 $V_{C-}$ は負であり、そのため、FET503は導電しない。これは、電流が分岐507内を流れ、分岐506内は流れないことを意味する。VCが $V_{MIN}$ に等しいとき、電流源501によって与えられるほぼすべての電流がFET503内を流れる。したがって、電流は分岐506内を流れ、分岐507内は流れない。 $V_{MAX}$ と $V_{MIN}$ の間の制御電圧レベルVCでは、電流は分岐5

06と分岐507の両方を流れることができる。

位相補間器の右半分および左半分中の電流を使用してキャパシタ590および595が充電される。キャパシタ590および595はそれぞれ、比較器596の正の端子および負の端子に結合される。比較器596は好ましくは、当技術分野で周知の理想的な比較器として働く。フェーズ・ミキサ550は、信号回線525を介して受け取った選択信号に応答して、4つの中間位相ベクトルのうちの2つを使用してキャパシタ590および595と分岐506および507を結合し結合解除するかを決定する。中間信号は、信号回線515を介して受け取られる。

VCが変動するにつれて、キャパシタ590および595内を流れる電流は、最初は完全に第1の結合中間ベクトルに依存するが、その後第2の結合中間ベクトルに完全に依存する。各ベクトルに流れ込む電流の相対量は、差動制御電圧VCによって設定され、キャパシタの相対充電・放電率を決定する。比較器596は、正の端子での電圧が負の端子での電圧よりも正になったことを検出したときに論理ハイを出力する。キャパシタ590および595の電圧は時変波形なので、比較器の出力は、2つのキャパシタの波形がいつ交差するかを示す。この交差点は、差動制御電圧VCを変動させることによって変動する。

任意の種類のカラージ・ポンプを使用して電流をフェーズ・シフタに供給することができるが、差動カラージ・ポンプを使用することが好ましい。差動カラージ・ポンプの一実施形態を第6a図に示す。第6a図に示した実施形態では、負荷は4つのPチャネルMOSデバイスで形成される。トランジスタM3およびM6はダイオード接続され、交差接続されたトランジスタM4およびM5に平行に配置される。トランジスタM3、M4、M5、M6は、カラージ・ポンプ回路でできるように、すべてほぼ同じ寸法に構成される。積分容量C<sub>1</sub>は、駆動トランジスタM1およびM2のドレーンに接続された単一のデバイスとして示されている。

駆動トランジスタM1およびM2のゲートを駆動する信号は、電流源のすべての電流21を積分容量C<sub>1</sub>へ切り替えるのに十分な大きさの振幅のものであると

仮定される。

ダイオード接続されたデバイスM3、M6は共に正の差動抵抗をもたらす。正の差動抵抗自体は、積分容量の望ましくない漏れ経路をもたらす。この漏れを低減させるために、M3、M6中の電流は、トランジスタM4、M5の機能によって打ち消される。この機能は、負の抵抗の機能とみなすことができる。したがって、トランジスタM4、M5はM3、M6の漏れを下記のように打ち消す。

トランジスタM3およびM4は電流ミラーを備える。理想的な動作を仮定すると、この2つのデバイスは同じ電流を送る。デバイスM3およびM4のドレーンは容量のそれぞれの対向側に接続されるので、差動電流に対するこの接続による正味寄与は零である。簡単に言えば、トランジスタM5、M6で形成された電流

ミラーにも同じ理論が当てはまり、そのため、トランジスタM3、M4、M5、M6によってもたらされる正味差動抵抗は理想的には無限であり、駆動対M1、M2の有限差動出力抵抗および固有のキャパシタ漏れのみが差動損失機構として残る。

しかし、実際には、トランジスタの不一致のために、理想的な動作から逸脱する。したがって、M4、M5による不完全な打ち消しがそれに比例するより小さな効果を有するように、ダイオード接続されたデバイスM3、M6の有効抵抗としてできるだけ高い値を選択することが望ましい。M1、M2による電流源に対する固有のカスコード効果があるので、M1、M2の有限差動出力抵抗の効果は通常、無視することができる。チャージ・ポンプは、正と負のどちらかの方向の制御入力信号によってすべての電流21を積分容量へ切り替える。たとえば、M1をオン操作しM2をオフ操作する場合、トランジスタM1は電流源（トランジスタまたはトランジスタの集合で実現されると仮定する）用のカスコード・デバイスとして働き、有効インピーダンスをブーストする。

この議論は、M2がオンでありM1がオフであるケースに対称的に当てはまる。したがって、M1、M2によってもたらされる漏れはほぼ無視することができる。本発明の他の利点は、チャージ・ポンプのコモン・モード出力電圧が、正の供給電圧よりもPチャネル・デバイスの1ソース・ゲート電圧だけしか低くない

ことである。

したがって、たとえば、電流源を遮断することによってチャージ・ポンプがデイスエーブルされた場合、コモン・モード・レベルをその平衡能動値からかけ離れたものにすることができないため、回復は比較的迅速である。

第6b図は、本発明のチャージ・ポンプ回路の第2の実施形態を示す。この実施形態では、積分容量の交番接続が使用される。ある種の回路では、大部分の面積効率的容量はMOSトランジスタのゲート構造で形成される。そのようなキャパシタでは、容量を最大にして過度の非線形性を避けるために、約1しきい値電圧を超えるDCバイアスが必要である。この実施形態では、キャパシタを2つの等しいキャパシタに分割し、各キャパシタを $V_{ss}$ に結合することによってバイアス基準が満たされる。この実施形態は、各キャパシタを $V_{ss}$ に接続することによ

って、電源( $V_{dd}$ )雑音のフィルタリングを行う。pチャネル負荷デバイスを通して結合される正の電源上の雑音は、キャパシタによってバイパスされ、後に続く段へ渡される雑音の量が大幅に減少される。

有限制御電圧範囲を含むチャージ・ポンプを使用して無限移相を行うために、当技術分野で良く知られているように、チャージ・ポンプの前方にマルチプレクサ123または類似の手段が配置され、チャージ・ポンプの方向が各象限で交互に反転される。マルチプレクサ123を操作する制御信号は、フェーズ・シフタ130によって与えられる。たとえば、DLLがロックされていないとき、位相検出器110は、ハイとローのどちらかの定信号を出力する。この例では、チャージ・ポンプはその最大電圧値に達するまで電流を増加させ続けることができる。フェーズ・シフタ130は次いで、この状態を検知し、フェーズ・シフタ130中の象限を切り替え、チャージ・ポンプの前方に位置するマルチプレクサを、補助入力を選択するように切り替える。チャージ・ポンプは次いで、方向を反転させ、フェーズ・ロックが行われ、あるいは他の象限境界に達するまで電流を減少させ続ける。これによって、チャージ・ポンプは、制御電圧を出力し続け、チャージ・ポンプ自体が有限出力範囲を有する場合でも無限移相範囲を与えることができる。

本発明の遅延ロック・ループの代替実施形態を第7a図に示す。この実施形態では、DLL310、たとえば第2図のDLL回路を使用して、着信クロック信号エッジ間に入力データ信号遷移が配置される高速デジタル・システムのリモート部に配置されたデータ受信機320のセットアップ時間を補償することができる。この図では、データ受信機320とほぼ同様なデータ受信機が、DLL310中の位相検出器として機能する。DLL310は、位相検出器の出力が平均で50%の時間だけハイになるまでフェーズ・シフタを使用して信号を調整するので、定義上、この条件は、温度、供給電圧、プロセス変動とは独立に最適な瞬間に着信データをサンプリングするように時間調整されたサンプル・クロック信号に対応する。たとえば、データ受信機320のセットアップ時間が1ナノ秒である場合、サンプル・クロック信号は入力クロック信号から1ナノ秒だけ遅延する。1ナノ秒のセットアップ時間値がプロセス、温度、供給電圧の変動と共に変

動する場合、DLL310のデータ受信機/位相検出器も同様にプロセス、温度、供給電圧の変動と共に変動するので、DLL310は自動的に補償を行う。

他の実施形態を第7b図に示す。DLL312は、クロック信号を生成してデジタル・システム中のデータを送るために使用される。具体的には、DLL312によって、データ信号出力遷移を厳密に着信クロック信号エッジ間に配置することができる。この実施形態では、位相が着信クロック信号エッジに直交する送信クロック信号が生成される。好ましくは、第3図の直交位相検出器はDLL312中の位相検出器要素として使用される。送信クロック信号はデータ送信機322に入力され、システムから出力されるデータのタイミングが制御される。

第8図を参照すると分かるように、代替実施形態では、位相検出器の出力を、デジタル・フィルタ、または位相比較器出力のシーケンスを調べ、必要に応じて獲得のためのブースト電流をイネーブルする、プロセッサや状態マシンなど他の信号処理装置に入力することができる。たとえば、DLL出力クロックの位相が入力クロックの位相よりも所定のサイクル数だけ遅れている場合、ブーストされた獲得がイネーブルされる。したがってたとえば、大部分の一般的なケースでは、複数の比較器出力に対して2進探索を実行し、対応する使用すべきブースト



電流値を求めることができる。

本発明を好ましい実施形態に関連して説明した。前記の説明に照らして多数の変更、修正、変形、使用が当業者に明らかになることは自明である。

【図1】

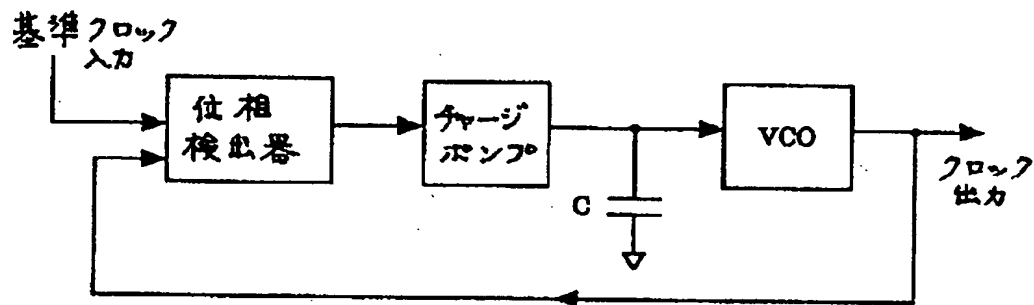


Figure 1a  
(従来技術)

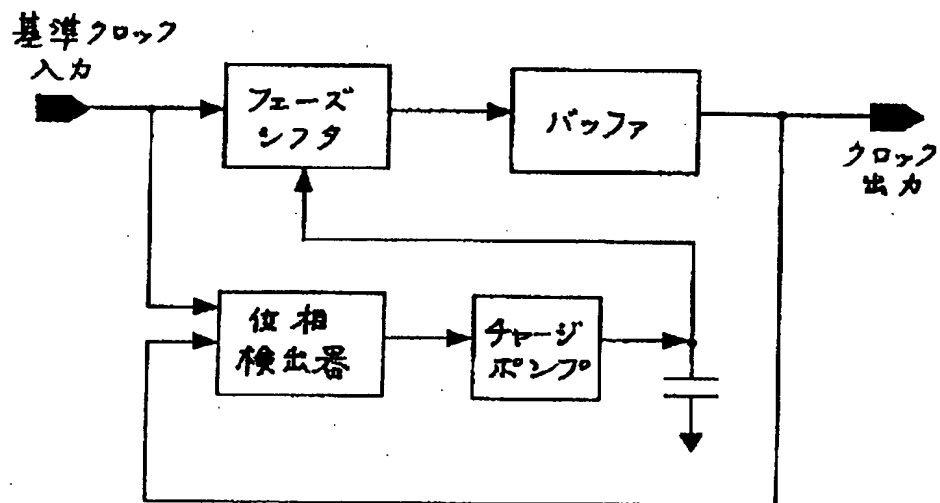


Figure 1b  
(従来技術)

【図2】

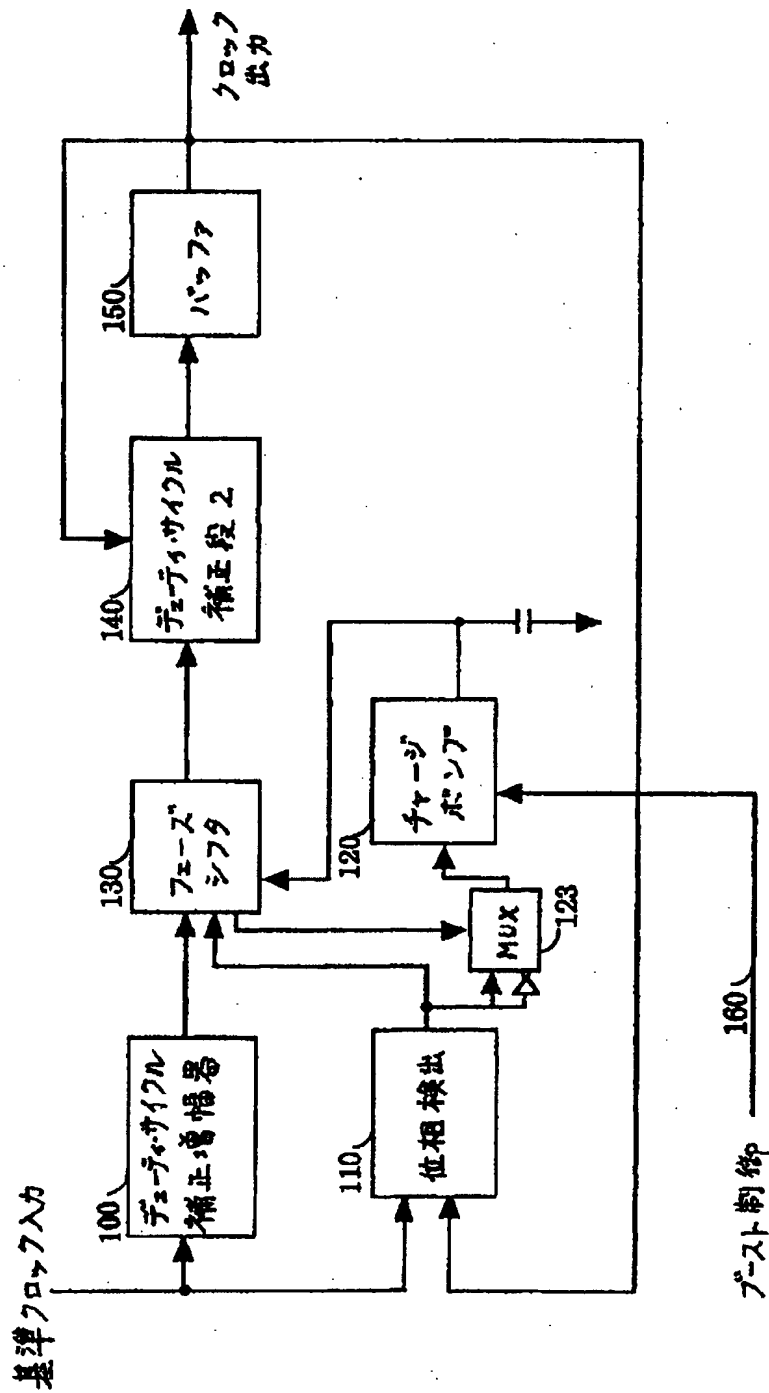
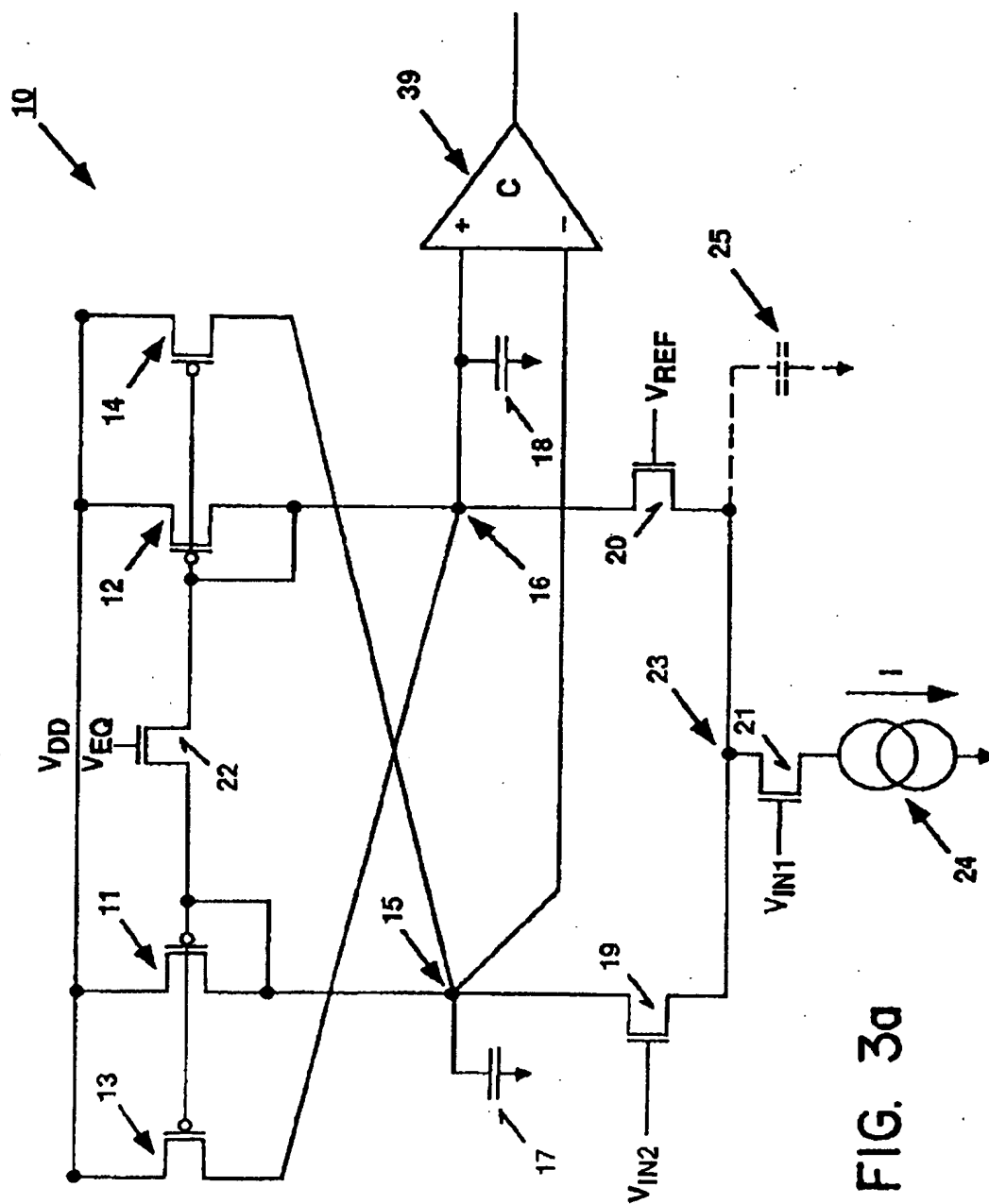


Figure 2

FIG. 3d



【図3】

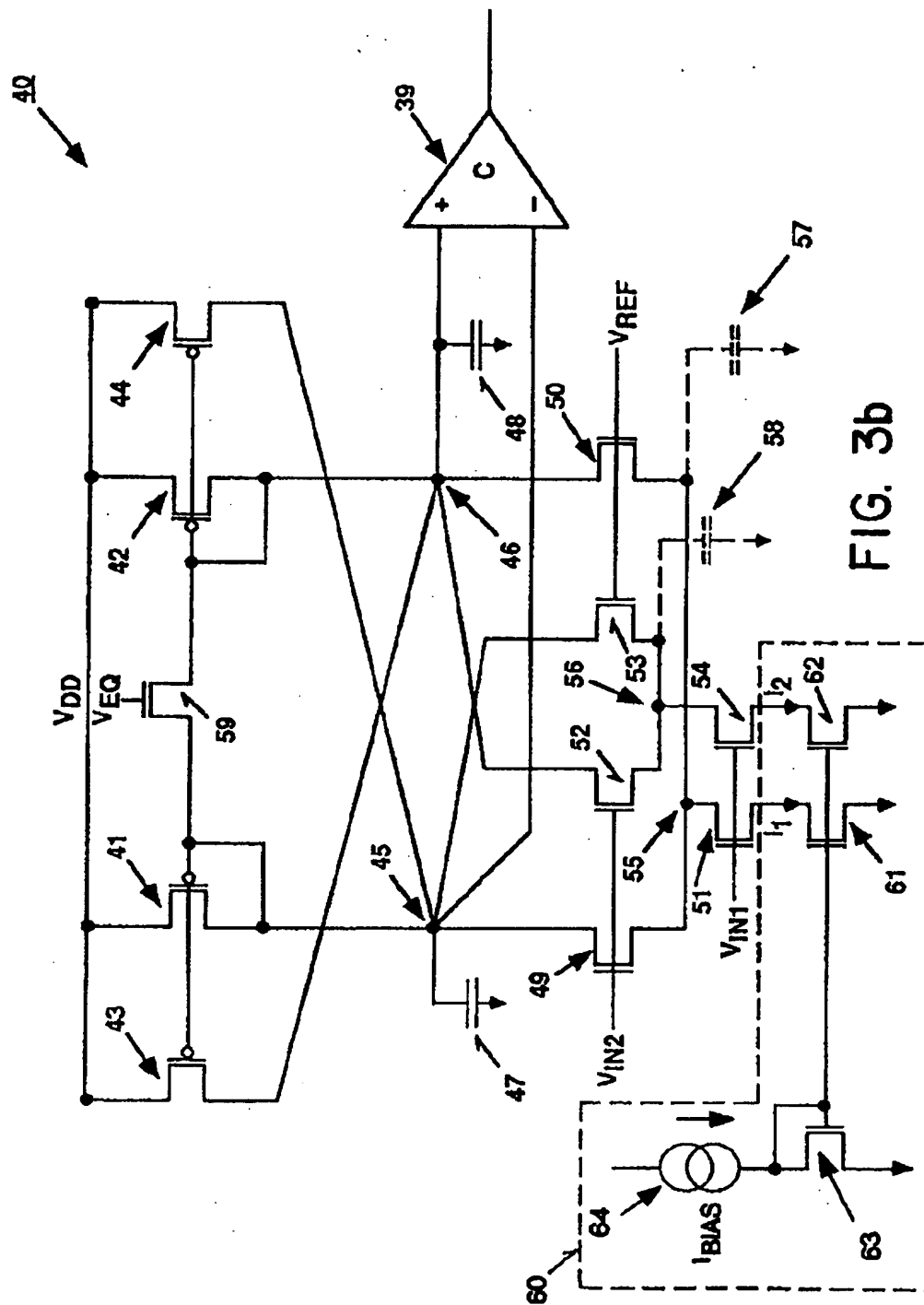


FIG. 3b

【图4】

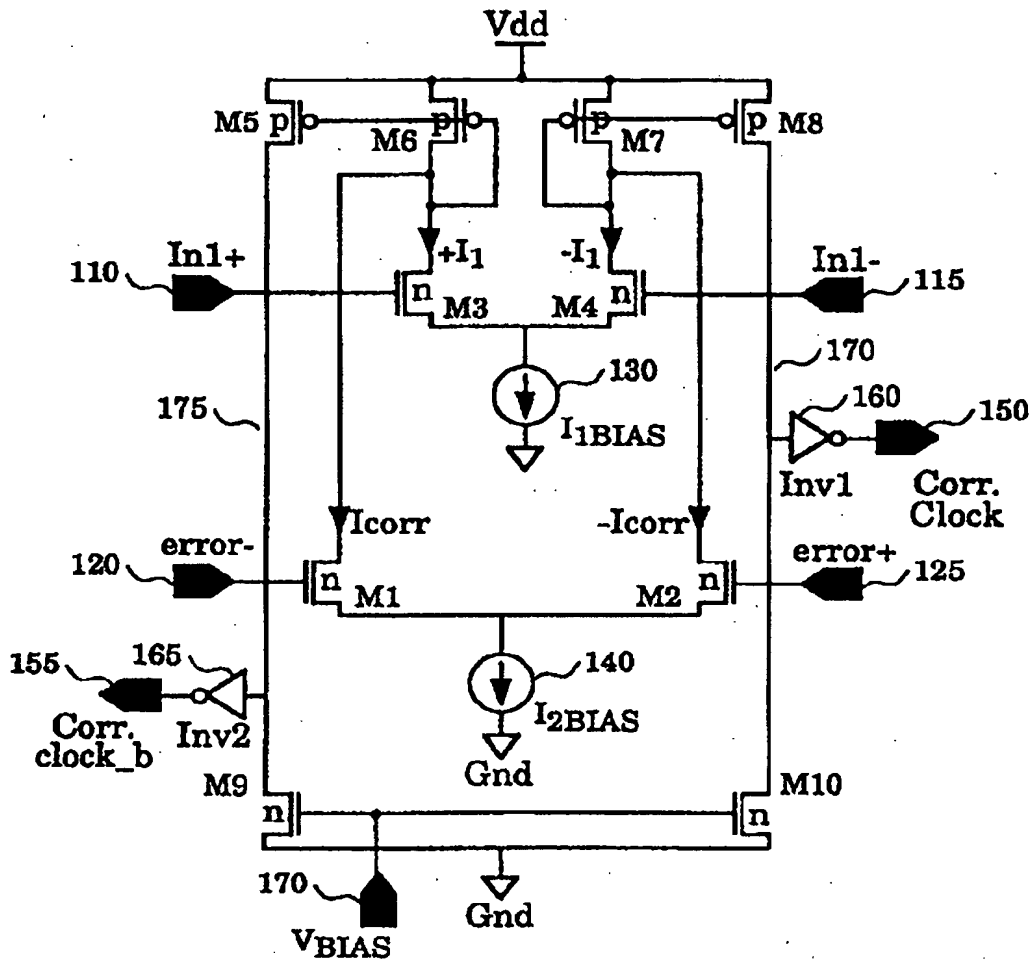


FIG. 4

【図5】

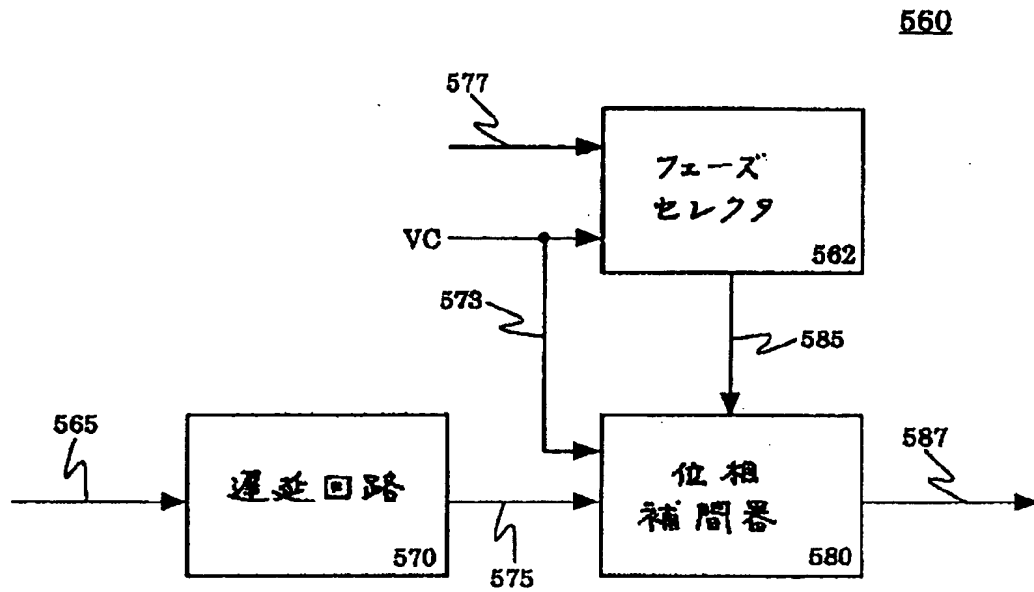


Figure 5a

The circuit diagram illustrates a PLL system. A central block labeled "フェーズ・ミキサ" (Phase Mixer) and "550" receives two inputs from above, labeled "515" and "525". The output of the phase mixer is connected to a divider circuit consisting of two capacitors, "590" and "595", which are connected to a voltage divider formed by resistors "506" and "507". The output of the divider is connected to a comparator or detector circuit, represented by a triangle symbol labeled "596". The comparator's output is fed back to the input of the phase mixer. The entire circuit is powered by a VDD supply at the top and a VSS supply at the bottom. Biasing is provided by current sources "501", "504", and "505", all labeled  $I_{BIAS}$ . Input signals "VC+" and "VC-" are applied to terminals "502" and "503" respectively.

Figure 5b

【図5】

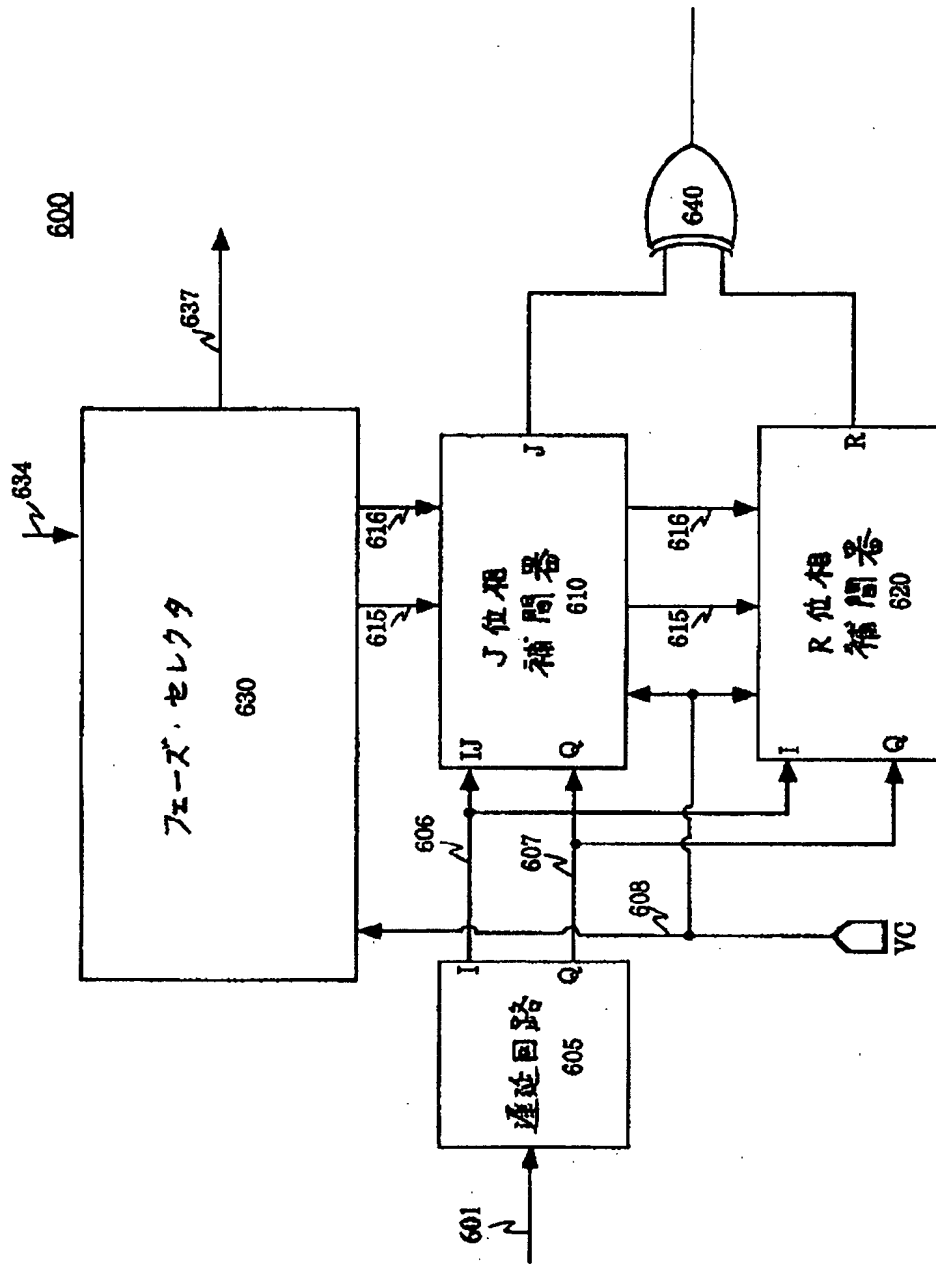


Figure 50



【図6】

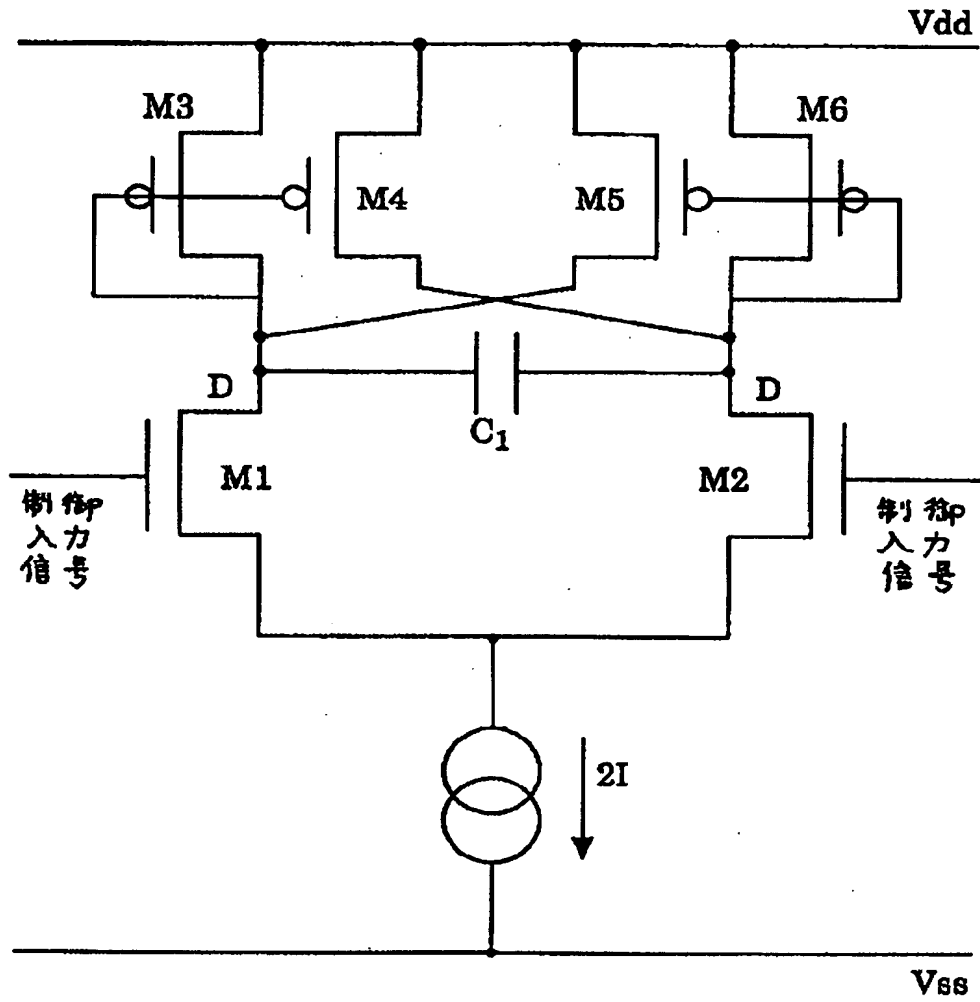


Figure 6a

The diagram shows a differential amplifier circuit. At the top, a horizontal line is labeled  $V_{dd}$ . At the bottom, a horizontal line is labeled  $V_{SS}$ . The circuit consists of several MOSFETs:  $M_1$  and  $M_2$  are the main amplifying transistors, with their gates connected to a common-mode input signal labeled "制御入力信号" (Control Input Signal).  $M_3$  and  $M_4$  are PMOS transistors connected to  $V_{dd}$  and the gates of  $M_1$  and  $M_2$  respectively.  $M_5$  and  $M_6$  are PMOS transistors connected to  $V_{dd}$  and the gates of  $M_2$  and  $M_1$  respectively. The sources of  $M_1$  and  $M_2$  are connected to a common source node, which is also connected to a current source labeled  $2I$  and two capacitors labeled  $C$ . The gates of  $M_3$  and  $M_4$  are connected to a common-mode input signal labeled "制御入力信号". The gates of  $M_5$  and  $M_6$  are connected to a common-mode input signal labeled "制御入力信号".

Figure 6b

【図7】

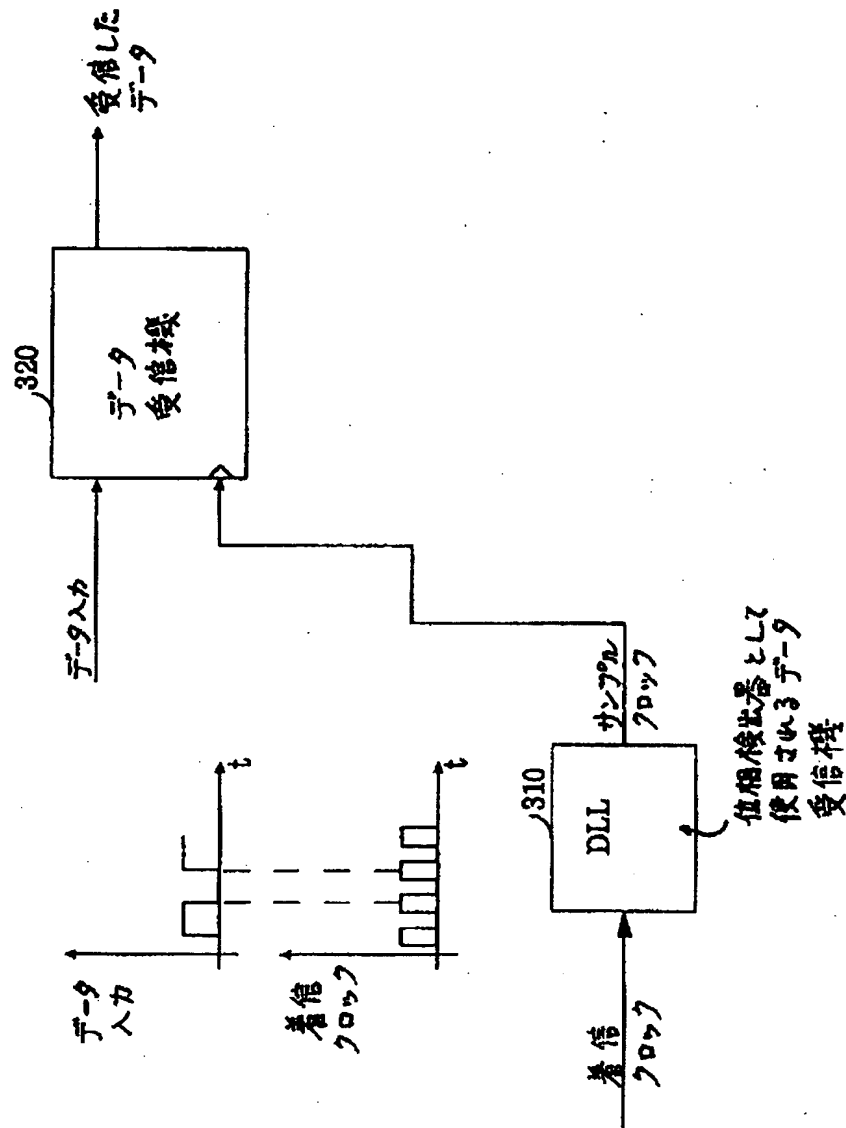


Figure 7a

【図7】

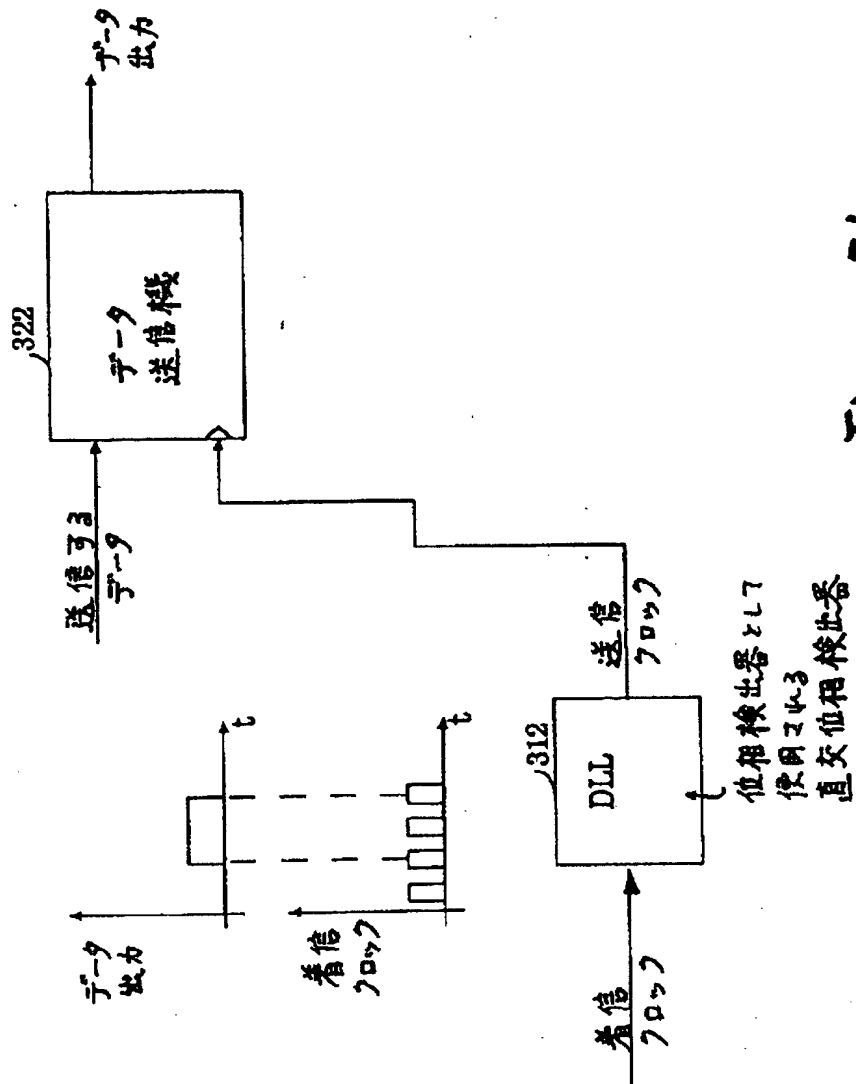


Figure 7b

【図8】

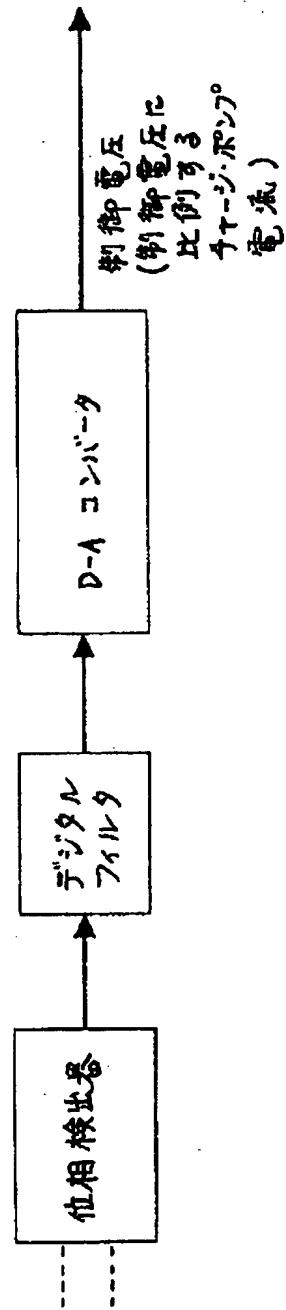


Figure 8

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 6 H03L7/081		Inter. Appl. No. PCT/US 95/01726
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 6 H03L		
Documentation searched other than minimum documentation to the extent that each document is included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	IEEE INTERNATIONAL SOLID STATE CIRCUITS CONFERENCE, 14 February 1990, SAN FRANCISCO, US pages 194 - 195 J. SONNTAG 'A MONOLITHIC CMOS 10MHZ DPLL FOR BURST-MODE DATA RETINING' see page 194, column 1, line 19 - line 39; figures 1,2	1,3
Y	---	2
Y	US,A,4 893 094 (B. HEROLD ET. AL.) 9 January 1990 see column 5, line 15 - line 33 see column 8, line 49 - column 10, line 2; figure 5B --- -/--	2
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		
<input checked="" type="checkbox"/> Patent family members are listed in annex.		
<b>* Special categories of cited documents:</b> "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 6 June 1995		Date of mailing of the international search report 28.06.95
Name and mailing address of the ISA European Patent Office, P.O. 5818 Patentplan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2940, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer Butler, N

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 95/01726

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A-4893094	09-01-90	EP-A- 0464139	08-01-92
		JP-T- 4505840	08-10-92
		WO-A- 9010978	20-09-90
-----			

## フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, MW, SD, SZ, UG), AM, AT, AU, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, EE, ES, FI, GB, GE, HU, JP, KE, KG, KP, KR, KZ, LK, LR, LT, LU, LV, MD, MG, MN, MW, MX, NL, NO, NZ, PL, PT, RO, RU, SD, SE, SI, SK, TJ, TT, UA, UZ, VN

(72)発明者 ホ, ツィルーチャン  
アメリカ合衆国 95131 カリフォルニア  
州・サンホゼ・スタントン・ウェイ・1412

(72)発明者 ジョンソン, マーク・グリフィン  
アメリカ合衆国 94022 カリフォルニア  
州・ロスアルトス・アープエロ ウェイ・  
125

## 【要約の続き】

ができる。これは、たとえばデータ伝送装置用に伝送クロックを生成するのにも使用できる。さらに、DLLは、ディザ・ジッタを最小限に抑え、同時に獲得時間を最小限に抑えるように制御される。また、デューティ・サイクル補正増幅器を使用して、所望のデューティ・サイクル、たとえば50%を有するDLL出力クロックが生成される。また、チャージ・ポンプへの入力各位相平面象限で交互に反転され、有限制御電圧範囲を有する無限移相がイネーブルされる。